DIALOG(R)File 347:JAPIO (c) 2006 JPO & JAPIO. All rts. reserv.

00723898 **Image available**

SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: **56-044198** [JP 56044198 A]

PUBLISHED: April 23, 1981 (19810423)

INVENTOR(s): SHIRAI KAZUNARI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 54-118254 [JP 79118254]

FILED: September 14, 1979 (19790914)

INTL CLASS: [3] G11C-017/00; H01L-027/10

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2

(ELECTRONICS -- Solid State Components)

JOURNAL: Section: P, Section No. 68, Vol. 05, No. 100, Pg. 144, June

27, 1981 (19810627)

ABSTRACT

PURPOSE: To improve integration by providing an insulating layer arranged on a heating body layer which has one terminal connected to either of word and digit memory lines and the other grounded, and a metal electrode layer connected to the other memory line arranged on the layer.

CONSTITUTION: To write information in a PROM cell, a 3V voltage is applied between digit line 7 and earth 8 to flow a 15mA current, for example, to heating-body layer 2 made of polysilicon, thereby heating the temperature up to 600 deg.C. Between heating-body layer 2 and connecting electrode 3 made of a vapor-deposited film of aluminum, a 3V voltage is applied by way of digit line 7 and word line 9. Then, aluminum forming connecting electrode 3 intrudes into SiO(sub 2) insulating layer 5 of heating-body layer 2 under connecting electrode 3 and then reaches heating-body layer 2 to form a short circuit between connecting electrode 3 and heating-body layer 2, thereby connecting digit line 7 and word line 9 together.

Family list 1 family member for: JP56044198 Derived from 1 application.

1 SEMICONDUCTOR MEMORY DEVICE Publication info: JP56044198 A - 1981-04-23

Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE (

(19) 日本国特許庁 (JP)

⑩特許出願公開

⑫ 公開特許公報(A)

昭56-44198

f) Int. Cl.³G 11 C 17/00H 01 L 27/10

識別記号 101 庁内整理番号 7010-5B 7210-5F 砂公開 昭和56年(1981) 4月23日

発明の数 1 審査請求 未請求

(全 3 頁)

60半導体記憶装置

20特

頭 昭54-118254

22出

願 昭54(1979)9月14日

@発·明 者 白井一成

川崎市中原区上小田中1015番地 富士通株式会社内

⑪出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

個代 理 人 弁理士 松岡宏四郎

明 編 書

- 1. 発明の名称
- 半導体配億装置 2. 特許請求の範囲

ワードライン或るいはディジァトラインの何れか一方のメモリーラインに一端が接続され他端が接地された発熱体層と、該発熱体層上に配設された た絶縁層と、該絶縁層上に配設され他方のメモリ ーラインに接続された金属電低層とを有する書き 込み可能な疏み出し専用配像セルを有することを

3. 発明の詳細な説明

特徴とする半導体記憶装置。

本発明は半導体記憶装置に関し、特に半導体基板上に形成し得る審を入み可能を読み出し専用メモリー (PROM)セルの構造に関するものである。 従来半導体集積回路基板に形成されるPROM としては、絶縁層をはさんで医交して配設された 役数本のアルミニウム (A1) 等の金属配級層からなるワードラインとディジァトビットラインの 各々の交点に於て、ワードラインとディジットラ

インをポリシリコン等の薄層からなるヒューズ層により接続させた構造を有し、情報の書き込みに 際しては所望のワードラインとディジットライン に電圧をかけ、その交点にあるヒューズ層に例え ば20 (mA)程度の電流を洗し(加熱電力約100 (mW))、ヒューズ層を名断せしめて情報を書き込むヒーズ形PROMが多く用いられる。

然し半導体教授回路(半導体IC)の集積度を向上させるために半導体累子が積細化されるに従って半導体ICの電原電圧を低くせざるを得なくなってきている現在、前記PRONへの情報審を込みのための電力を従来にくらべて低くして、審 き込み用の周辺回路が複雑化するのを避けることが、半導体ICの集積度向上のための大きな課題となってきた。

本発明は上配は頬点に垂み、少ない印加電力に よつて情報の書き込みが可能な、接続方式のメモリーセル構造を有する半導体メモリー装置を提供 するものである。

- 2 -

BEST AVAILABLE COPY

即ち本発明は半導体記憶装置の構造に於て、ワードライン取るいはディジットラインの何れか一方のメモリーラインに一端が接続され、他端が接地された発験体層と、該発験体層上に形成された絶縁層と、該絶縁層上に配設され、他方のメモリーラインに接続された金属電板層とを有する零き込み可能な統み出し専用記憶セルを有することを特徴とする。

以下本発明を図示実施例により詳細に説明する。 第1図(a)は本発明の半導体メモリに適用される 記憶(メモリー)セルの一実施例の上面模式図、 第1図(b)は(a)のX-X、断面図、第2図は本発明の 半導体メモリー装置に於ける回路図の一実施例で ある。

本発明にかかるメモリーセルは、第1図(a)に示すように、各種機能素子が既に形成されているシリコン (Si) 基板表面のフィールド二酸化シリコン (SiO₂) 岐1上に、例えば多結晶 (ポリ) シリコンからなり、例えば幅2(Am)長さ10(Am) 程度で両端に配款接続部2a及び2bを有する発

- 3 -

ベターンニングを行って、該Si基板面の前記ス ールドSiO。 膜1上に形成されている発熱体層2 に例えば直角に交差する接続用電板3及び発熱体層2の配級6a及び6bを形成する。

然して本発明の半導体 PROM は第2 図に示す 回路図のように、前記のような構造を有するメモ リーセルの発熱体2の一端の配級 6a を例えばディ ジットライン7 に、他端の配線 6b をアース8 に 発動体2上の接続用電低3をワードライン9 に接 続せしめた構造を有している。

このような本発明の構造を有するPROMセル に情報を書き込む方法は、第2回に示すディジットライン7とアース8との間に例えば3())程度の 電圧をかけて発熱体層2に10~20(mA)の電流 を成し眩発無体層の温度を500~700(C)程度 に上昇させ、何時に発熱体層2と接続用値極3の 間にディジットライン及びワードラインを通じて 3(ボルト) 色度の電圧をかける。

とのような状態に於て、500~700(で)に昇 機せしめられた発熱体層2上に承紋用電像3を形 特別昭56- 44198(2)

熱体層2が形成されており、その上層に酸発熱体層2と低度直交して例えば幅4 (Am) 限度の一端に配額接続部3 A を有するアルミニウム (A1) 等の蒸煮収からなる接続用電極3が配接されている。そして數接続用電極3と下層にある前記発熱体層2とは、発熱体層2の表面に予め形成されるSiOt製からなる絶縁層により電気的に絶縁された機造を有している。

上記博造を有するメモリーセルを形成する方法を 1 図(b)の断面模式図に従って説明すると、S1 基板 4 上に熱酸化等により形成されているフィールドSiOz 膜 1 上に先ず化学気相成長 (CVD) 法により厚さ3000~4000 (Å) 程度のポリシリコン層を堆積させ、パターンニングして発熱体層2 を形成させる。 次に散発熱体層2の表面に無酸化法等により厚さ500~1000 (Å) 程度の8102 絶縁層5を形成する。次いで発熱体層2の両端部に形成されている配線接続部2a及び2b上のSiOx 絶縁層5に電値引き出し窓を形成し、然る後該Si 基板上に1~2 (4m) 程度の厚さのA1毫を蒸着し、

- 4 -

成しているアルミニウム (A1) が、第1図bに示す接続用電価3の下層にある発熱体液2のSiO。 絶縁層5の中に侵入して発熱体層2へ達し、接続用電価3と発熱体層2が短絡せしめられる。

即ち第2回に示す 表読用 電低 3 と発熱体層 2 が 短絡せしめられて、故交点部に於てディジットラ インとワードラインが接続されて情報が普良込ま れる。

上配実施例に於ては発熱体層としてポリシリコンを、又発験体層上の絶影層としてSiOa層を使用したが、発熱体層としては上配以外に電気抵抗の大きい金調層或るいは合金層を使用しても良く、又絶縁値としてはアルミナ(AlaOa)。電化症素(SiaNa)。リン珪酸ガラス(PSG)等も使用することができる。

又接続用電値としては上記アルミニウム (A1) 以外にA1合金を用いてもさしつかえない。

以上説明したように本希明の構造を有する必き 込み可能な読み出し専用半導体メモリー(学は体 PBOM)は、従来のヒューズ紹断方式のものにく

- 5 -

BEST AVAILABLE COPY

持開昭56~ 44198(3)

8はアース、

9 はワードライン。

代理人 弁理士 松 畇 宏四郎

らべて、情報の客を込み電流を大幅に減少させる ととができるので、電像電圧を従来より低くした 場合にも情報符を込み用の周辺回路が複雑になる ことがない。

従って半導体集積回路チップ上に於ける該周辺 回路の専有面積を縮小させることができるので、 当該半導体メモリーセルを含む半導体集積回路の 集積度の向上に極めて有効である。

4. 図面の簡単な説明

第1図(a) は本発明の半導体メモリーに具備せし められるメモリーセルの一実施例の上面模式図 第1図(b) は同じく断面模式図であり、第2図は本 発明の半導体メモリー装置に於ける回路図の一実 施例である

別において

1はフィールド二酸化シリコン (SiOz) 膜、

2 は発ぬ体層、

2a. 2b は配線接続部、

3 は接続用電極、

4 はシリコン基板、

5 は絶象層、

6a, 6b は配線、

7はディジットピットライン

- 8 -

- 7 -



